

引用格式:钟燕清,田易,李继秀,等. 低成本的 $\Sigma\Delta$ ADC 数字抽取滤波器设计[J]. 微电子学与计算机, 2021, 38(8): 59-65.
[ZHONG Y Q, TIAN Y, LI J X, et al. Design of low cost $\Sigma\Delta$ ADC digital decimation filter[J]. Microelectronics & Computer, 2021, 38(8): 59-65.]

低成本的 $\Sigma\Delta$ ADC 数字抽取滤波器设计

钟燕清, 田 易, 李继秀, 刘 谋, 张兴成, 孟 真, 陈 华, 阎跃鹏

(中国科学院 微电子研究所, 北京 100029)

摘 要: 设计了一种低成本的 64 倍降采样数字抽取滤波器, 对 $\Sigma\Delta$ ADC 的输出码流进行滤波和抽取. 为节省面积和保证稳定性, 首先选用 2 抽取级联的滤波器实现方式; 其次对单级滤波器进行结构优化, 采用更省面积的折叠转置结构; 在此基础上对系数相乘与加法部分进行了系数优化和公共项提取; 最后采用 Modelsim 进行了电路仿真, 验证了功能. 通过优化, 可降低寄存器和加法器的使用至优化前的 59% 和 35%, 资源优化率达到了 41% 和 65%. 数字抽取滤波器采用 SMIC 0.18 μm CMOS 工艺实现, 工作电压 3.3 V, 芯片面积为 1.13 mm $\times$ 0.36 mm, 功耗为 5.3 mW. 芯片功能测试结果表明: $\Sigma\Delta$ ADC 数字抽取滤波器工作正常, 是一种兼顾面积和功耗的设计电路.

关键词: 数字抽取滤波器; 面积; 2 抽取级联; 折叠转置; 优化

中图分类号: TN492

文献标识码: A

文章编号: 1000-7180(2021)08-0059-06

Design of low cost $\Sigma\Delta$ ADC digital decimation filter

ZHONG Yanqing, TIAN Yi, LI Jixiu, LIU Mou, ZHANG Xingcheng,
MENG Zhen, CHEN Hua, YAN Yuepeng

(Institute of Microelectronics of the Chinese Academy of Sciences, Beijing 100029, China)

Abstract: A low-cost 64 times down sampling digital decimation filter is designed to filter and extract the output stream of $\Sigma\Delta$ ADC. In order to save the area and ensure stability, a two-decimation cascaded filter type is selected firstly. Secondly, the structure of the single-stage filter is optimized, and the folded transposition structure with less area is adopted; on this basis, the coefficient optimization and common term extraction of the coefficient multiplication and addition part are carried out. Finally, the circuit simulation and function verification are carried out with Modelsim. Through optimization, the cost of registers and adders can be reduced to 59% and 35% versus before optimization, which means the resource optimization rate can reach 41% and 65%. The digital decimation filter is implemented in SMIC 0.18 μm CMOS process. The operating voltage is 3.3 V, the chip area is 1.13 mm $\times$ 0.36 mm, and the power consumption is 5.3 mw. The results of chip function test show that the sigma delta ADC digital decimation filter works normally, and it is a design circuit that takes into account the area and power consumption.

Key words: digital decimation filter, area, 2 decimation cascade, folding transposition, optimization

1 引言

$\Sigma\Delta$ ADC 是模拟-数字转换器的一个重要分支, 通过采用 sigma-delta 调制技术, $\Sigma\Delta$ 转换器可以极大地抑制低频噪声, 提升信噪比. 在一个完整的

$\Sigma\Delta$ ADC 中, 调制器部分决定了模数转换的精度和分辨率, 数字抽取滤波器决定了 $\Sigma\Delta$ ADC 的面积^[1]. 为控制成本和功耗, 通常主要在数字部分进行成本和功耗的优化.

根据实现方法, $\Sigma\Delta$ ADC 数字抽取滤波器电

路有 4 种,分别为直接实现式、IIR-FIR 实现方式、经典的多级 Hogenauer CIC 抽取滤波形式以及多相抽取滤波形式^[2-5]. 直接实现式的电路主要由积分、微分、降采样 3 部分组成,输入为经过 $\Sigma\Delta$ 调制后的单 bit 码流信号,输出为降采样后的数字信号. 直接实现式的实现方式是直接积分-微分方程展开, FIR 滤波器的阶数最高. 由于所有滤波操作都工作在过采样频率上,直接实现式的电路功耗随着滤波器级数的增加而急剧上升,使用受到限制. IIR-FIR^[6-7] 实现方式将数字抽取滤波器的电路分为积分的 IIR 滤波器、抽取和 FIR 微分滤波器 3 部分,相比于直接实现式, IIR-FIR 实现式的资源和功耗都大幅度下降,但是由于积分环节滤波器是 IIR 形式的,引入了递归,在内部字长设计不合理时可能引起系统不稳定. 经典的多级 CIC 抽取滤波器^[8] 是根据 noble 恒等式, 调换微分和降采样的位置之后进行优化的一种滤波电路, 是一种滤波-抽取-滤波-抽取多级级联的实现方式. 多相抽取滤波器^[9-10] 则是在经典的多级 Hogenauer CIC 抽取滤波器基础上, 将单级滤波器电路分配到多路上, 调换滤波-抽取为先抽取后滤波, 以达到同等滤波结果下工作频率整倍下降的低功耗实现效果. 上述 4 种方式中, 直接实现式功耗和面积都最大, 目前已经不被主流设计所采用; IIR-FIR 的实现方式面积最优, 但是功耗最大, 而且功耗随着过采样频率线性增长; 多相抽取滤波器的设计方式具有最小的功耗和较大的面积, 多级 Hogenauer CIC 抽取滤波器(后文简称为多级抽取滤波器)的面积和功耗则介于两者之间. 考虑到本文的应用特点, 希望兼顾面积和功耗, 侧重考虑面积的

约束, 因此采用了多级抽取实现方式, 并在实现过程中进行了低成本优化, 以达到面积最省、功耗兼顾的设计效果.

2 优化的多级抽取滤波器原理

CIC 抽取滤波器是 AD 转换器中的重要组成部分, 主要用于信号的抗混叠、成形和降采样. AD 模拟 $\Sigma\Delta$ 调制器输出的单比特过采样码流经过 CIC 抽取滤波器后, 形成正常采样率的用户可识别的多位采样数据. 以本文的实现为例, $\Sigma\Delta$ 调制器为 4 阶、64 倍过采样的模拟转换器, 数字部分的滤波器则应该为 5 阶、64 倍抽取滤波器, 传输方程为:

$$H(z) = \left(\frac{1 - z^{-M}}{1 - z^{-1}} \right)^k \quad (1)$$

式中, M 为抽取率; k 为滤波器阶数; $M = 64, k = 5$. 滤波器的输出经过 M 倍抽取后得到滤波成形后的 CIC 滤波输出. 由于 $H(z)$ 的极点和零点均在 $z = 1$ 处, 因此零极点可以抵消. 通过因式分解, 将式(1)分解为 FIR 的实现形式:

$$H(z) = \prod_{i=0}^{M1-1} (1 + z^{-2^i})^k = \prod_{i=0}^{M1-1} H_i(z) \quad (2)$$

式中, $H_i(z) = (1 + z^{-2^i})^k$; $M1 = \log_2 M$; k 为滤波器阶数. 由 Noble 恒等式, 抽样和滤波可以互换位置而不改变数据处理结果, 因此可以将 CIC 滤波器简化为多级级联的方式. 经典的多级抽取方式根据 CIC 滤波器的特点, 首先将其分解为滤波 1 $\rightarrow$ 降采样 1 $\rightarrow$ 滤波 2 $\rightarrow$ 降采样 2 等多级级联的形式, 以本文的 5 级滤波、64 倍抽取率为例, 可将滤波器分解为 2 倍抽取的 5 级级联形式, 其实现结构如下:

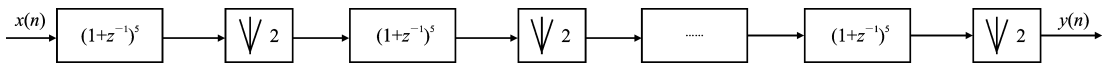


图 1 多级抽取方式实现

由图 1 可以看到, 经过分解后单级滤波器的形式为 $H_1(z) = (1 + z^{-1})^5$, 可以进一步展开为:

$$\begin{aligned} H_1(z) &= (1 + z^{-1})^5 \\ &= 1 + 5z^{-1} + 10z^{-2} + 10z^{-3} + 5z^{-4} + z^{-5} \end{aligned} \quad (3)$$

由上式可以看到 $H_1(z)$ 是一个系数对称的 FIR 滤波器, 可以引入 FIR 滤波器的优化算法对面积进行优化. 由于系数简单, 可以直接采用转置结构 + 提取公共项的方式, 将乘法项完全转换为加法和移位操作, 降低整体资源消耗, 节省面积.

具体地说, 优化步骤如下:

1) 将 FIR 滤波器 $H_1(z)$ 的滤波器结构进行转

置, 可以节省一半的中间数存储器;

2) 将滤波器乘法运算简化为移位 + 加法运算, 节省运算单元面积;

3) 提取滤波器系数矩阵的公共项, 并采用公共项复用的方法, 完成滤波器的优化.

3 优化的多级抽取滤波器的电路实现

本文的数字抽取滤波器为 64 倍抽取、5 阶滤波器, 经过 MATLAB 仿真确定, 如图 1 所示的 5 级 2 抽取滤波器滤波性能可以满足加速度计用 ADC 的需要. 本节主要在图一结构的基础上, 进行单级滤波

器的电路设计和优化,设计顺序为:根据面积优先的原则,首先选择合适的滤波器结构,之后进行运算单元的设计和优化。

3.1 滤波器的结构

FIR 滤波器输出 $y(n)$ 与输入 $x(n)$ 以及滤波器系数 $h(i)$ 的关系为:

$$Y(n) = \sum_{i=0}^{N-1} h(i) * x(n-i) = h(0) * x(n) + h(1) * x(n-1) + \dots + h(N-1) * x(n-N+1) \quad (4)$$

由于式(4)是滤波方程直接展开的,因此采用式(4)的方式实现的滤波器结构称为直接实现的结构.考虑到乘积和延时可以互换的特性,可以将式(4)转换为式(5)所示的形式:

$$Y(n) = h(0) * x(n) + h(1) * (x(n) * z^{-1}) + \dots + h(N-1) * (x(n) * z^{-(N-1)}) = \sum_{i=0}^{N-1} x(n) * h(i) * z^{-i} \quad (5)$$

由式(5)直接展开进行实现,得到滤波器的转置实现结构.进一步的,考虑到 FIR 滤波器的系数均为对称的,以偶对称为例,式(5)可以简化为式(6)所示:

$$Y(n) = \sum_{i=0}^{N-1} x(n) * h(i) * z^{-i} = \sum_{i=0}^{N/2-1} x(n) * h(i) (z^{-i} + z^{-(N-1-i)}) \quad (6)$$

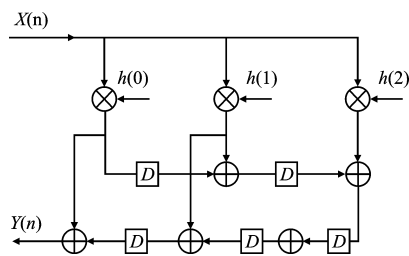
采用式(6)表示后,系数与输入信号的相乘由原有的 N 个降低到 $N/2$ 个,可以降低一半的乘法器资源,这种实现方式的滤波器结构利用了 FIR 滤波器系数的偶对称特点,也被称为折叠转置结构.由于这种实现方式消耗的乘法器只有常规方式的一半,通常被用在各种低成本的滤波器实现方式中^[13].

在 CIC 滤波器中,另一种比较常见的结构为多相抽取式实现结构,实现方式为首先将滤波器的系数分为奇、偶两个序列,分别对两个序列进行滤波,之后滤波结果相加得到滤波输出,采用这种方式实现的最大优势为可以降频滤波,节约功耗.以偶对称的 FIR 滤波器为例,其滤波输出与输入的关系为:

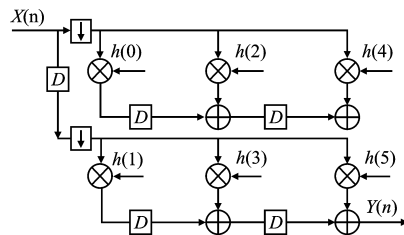
$$Y(n) = \sum_{i=0}^{N-1} h(i) * x(n-i) = \sum_{i=0}^{N/2-1} h(2i) * x(n) * z^{-2i} + \sum_{i=0}^{N/2-1} h(2i+1) * x(n) * z^{-2i-1} \quad (7)$$

分别采用折叠转置和多相抽取的方式对图 2 中的 $H_1(z)$ 进行了结构设计,如图 2(a)、(b) 所示:

由图 2 可以看出,相比于多相实现方式使用了



(a) 折叠转置结构



(b) 多相抽取结构

图 2 FIR 滤波器的两种典型实现结构

6 个乘法器,折叠转置的结构只使用了一半的乘法器,大大降低了实现面积。

3.2 滤波器的乘法优化

采用折叠转置的结构实现 FIR 滤波器,需要消耗的资源包括:乘法器、延时寄存器和加法器,其中延时寄存器和加法器是固定支出难以进行进一步的优化.考虑到滤波器的系数是固定的,乘法器可以使用多常数乘法 MCM(Multiple Constants Multiplication)的方式进行优化. MCM 的系数优化算法包括非递归的公共项提取法 NRSCSE^[13],递归的 BHM^[14]、RAG-n^[15] 算法等等,无论上述哪种算法,核心思想均为通过加法和移位操作替代原有的乘法运算,达到去除复杂的乘法器,降低资源消耗的目的。

考虑到本文的单级滤波器非常简单,采用折叠转置结构实现后只剩余 3 个乘法系数,且 $h(1)$ 与 $h(2)$ 存在倍数关系,可以使用递归的 BHM 优化算法。

3.3 滤波器的整体实现

确定好单级滤波器的实现结构和运算单元优化方法,可以得到滤波器的整体实现方法.由文献[1],数字滤波器的输出数据位宽 B_o 由输入数据宽度 B_i 和阶数 k 、抽取率 M 共同决定,关系如下:

$$B_o = B_i + k \log_2 M \quad (8)$$

滤波器的输出与输入位宽关系如图 3 所示。

对每一级的滤波器进行展开,得到单级滤波器的系数均为: $[1 \ 5 \ 10 \ 10 \ 5 \ 1]$,每一级滤波器均为 6

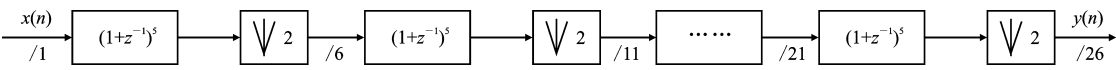


图 3 CIC 抽取滤波器的各级子滤波器位宽示意图

阶的 FIR 滤波器. 由式(1)可知, 第一级滤波器的输入位宽为 1, 输出位宽为 6, 简化的来说, 可将滤波器字长设置为 6, 即中间寄存器和输出寄存器位宽均为 6; 第一级输出的数据经过 2 倍抽取后进入第二级滤波器, 因此第二级滤波器的输入位宽为 6bit, 输出位宽由式(2)可得为 11, 滤波器的中间寄存器位宽设置为 11; 以此类推, 第 3、4、5 级滤波器的中间寄存器位数分别为 16、21、26、32 倍抽取滤波器的输出位宽为 26 bit.

未进行优化前, 2 抽取级联式 CIC 滤波器的整体资源消耗统计如表 1 所示:

表 1 2 抽取级联式 CIC 滤波器的资源消耗

滤波器	位宽	乘积寄存器	和寄存器	寄存器位数	乘法器位数	加法器位数
第一级	6	6	5	66	36	30
第二级	11	6	5	121	66	55
第三级	16	6	5	176	96	80
第四级	21	6	5	231	126	105
第五级	26	6	5	286	156	130
总和				880	480	400

表 1 中, 乘积寄存器指的是用于存储系数与滤波器输入的乘积的寄存器, 个数与滤波器系数相同; 和寄存器是存储各级相加的的和的寄存器, 在单级滤波器中, 每执行一次滤波运算, 需要进行 $N-1$ (N = 滤波器阶数) 次加法, 因此和寄存器个数为阶数减一. 由于乘法器和加法器每级宽度都不一样, 为简化估算过程, 采用统计位数的方式进行计算, 每一次的乘法器/加法器位数 = 数据位宽 * 乘法器/加法器个数. 采用同样的统计方法可以得到表 2 和表 3——折叠转置后以及运算单元优化后的资源消耗.

折叠转置后, 滤波器消耗的资源统计如下.

表 2 采用折叠转置结构的级联式 CIC 滤波器的资源消耗

滤波器	位宽	乘积寄存器	和寄存器	寄存器位数	乘法器位数	加法器位数
第一级	6	3	5	48	18	30
第二级	11	3	5	88	33	55
第三级	16	3	5	128	48	80
第四级	21	3	5	168	63	105
第五级	26	3	5	208	78	130
总和				640	240	400

由于 ASIC 电路中乘法器是基本算术单元, 实

现多位乘法时电路复杂, 占用面积大. 考虑到 CIC 滤波器采用 FIR 滤波器方式实现, 且乘数为固定的常数, 因此可以进一步进行 (MCM, 固定乘数乘法) 的优化, 使用加法器和移位寄存器代替乘法单元, 节约电路面积. 以本文的第 2 级子滤波器为例, 折叠转置后滤波器的系数为: $H_2(n) = [h_0 \ h_1 \ h_2] = [1 \ 5 \ 10]$, 假定输入为 x_i , 则优化后滤波器实现方式为:

$$\begin{aligned} h_0 * x_i &= x_i; \\ h_1 * x_i &= 5x_i = x_i \lll 2 + x_i; \\ h_2 * x_i &= 10x_i = (h_1 * x_i) \lll 2. \end{aligned}$$

以第 2 级子滤波器为例, 优化后子滤波器的结构如下:

由图 4 可以看到, 输入系数 $x(n)$ 进入滤波器后, 首先经过移位和加法单元. 假定 $x_i = x(n)$, 经过移位和加法器后得到 $R1 = h1 * x_i, R2 = h2 * x_i$, $R2$ 的值经过左移操作得到 $R3 = R2 \lll 2$; 之后 $R1, R2, R3$ 经过延迟单元和加法器得到最终的滤波结果 $Y(n)$.

经过系数优化后滤波器的资源消耗如表 3 所示.

表 3 优化后级联式 CIC 滤波器的资源消耗

滤波器	数据位宽	乘积寄存器	和寄存器	寄存器位数	加法器位数
第一级	6	4	6	60	36
第二级	11	4	6	110	66
第三级	16	4	6	160	96
第四级	21	4	6	210	126
第五级	26	4	6	260	156
总和				800	480

由表 3 可以得到, 相比于表 2 所示的转置结构实现、未进行系数优化, 采用 BHM 系数优化算法后乘法器被完全去除, 代价是各级增加了一个乘积寄存器和一个中间和寄存器.

可以看到, 未进行优化设计前, CIC 抽取滤波器的整体实现需要消耗: 880 位的寄存器, 480 位的乘法器和 400 位的加法器; 经过折叠转置后, 滤波器需要使用 640 位的寄存器, 240 位的乘法器和 400 位的加法器; 经过常数替换后, 滤波器需要使用 800 位的寄存器和 480 位的加法器, 乘法器使用量降到 0. 经过结构和系数的优化设计, 整体电路节省了 480

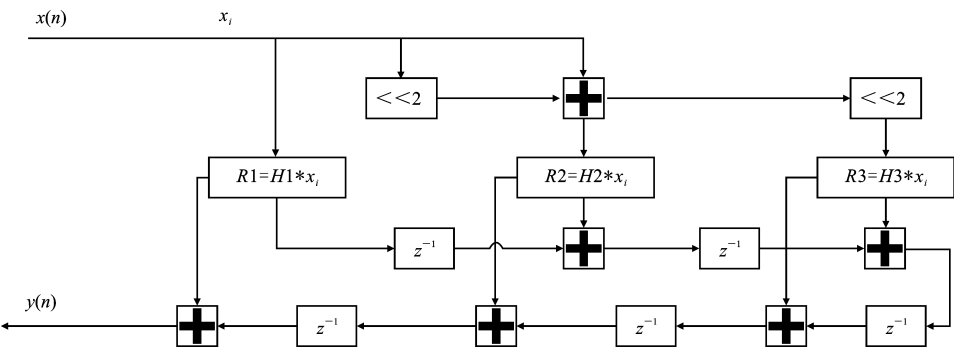


图 4 子滤波器硬件实现示意图

位的乘法器资源,降低了 80 位的寄存器面积,增加了 80 位的加法器资源。

以 1 位乘法器需要 1 位移位寄存器+1 位加法器+1 位计数器来粗略估计资源消耗量,未优化前电路需要 1360 位寄存器+880 位加法器+480 位计数器,整体优化设计后,数字抽取滤波器电路需要使用 800 位寄存器+480 位加法器。相比原有电路,优化后降低了 560 位寄存器(此处认为移位寄存器的资源消耗与普通寄存器的资源相同)+400 位加法器+480 位计数器。考虑加法器实现资源与计数器实现资源大致相同,则可以估算出,采用上述优化算法可以节省约 41% 的寄存器,约 65% 的加法器资源。实际电路中,由于乘法器通常是位数固定的,只能选取比本级字长宽的乘法器,因此本算法的资源节省率还将高于预估的百分比。

3.4 仿真与实现

根据上节内容,采用 Verilog 硬件描述语言实现上述 5 阶 64 抽取 FIR 滤波器,并在 Modelsim 软件中进行了仿真。通过信号源产生 1 KHz 的单频正弦波,由 4 阶 $\Sigma\Delta$ ADC 的调制器调制后产生 1 bit 码流,采集此码流作为 FIR 滤波器的仿真输入,观察 CIC 滤波器的输出数据。采集到的码流对应的过采样时钟为 3.2 MHz,滤波输出应该为 25K SPS, 26 bit输出的正弦波波形。仿真 10 ms 的数据,得到部分波形如图 5 所示。

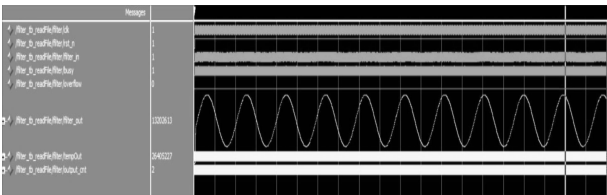


图 5 Modelsim 仿真 1 KHz 信号滤波结果

可以看到,输出信号为平滑的正弦波。提高信号

的频率至 6.25 KHz,幅值不变,得到降采样后波形如图 6 所示。

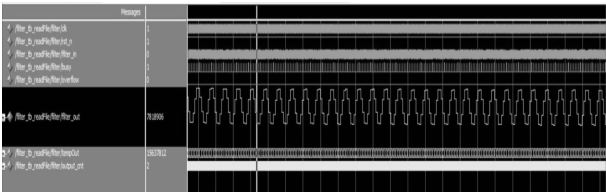
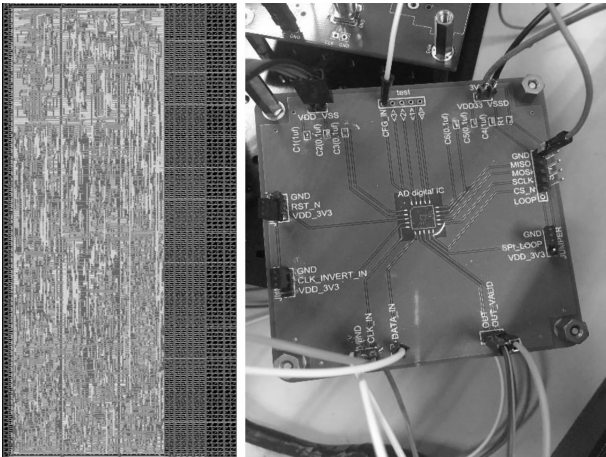


图 6 Modelsim 仿真 6.25 KHz 信号滤波结果

比对降采样滤波器输出与 Matlab 计算结果,两者完全一致,说明功能设计正确,可以进行下一步的设计。

采用 SMIC 0.18 μm 工艺实现了上述 CIC 滤波器和用户的 SPI 接口电路,最终数字部分的实现面积约为 1.13 mm $\times$ 0.36 mm,版图如图 7(a)所示。测试上述数字芯片,采集 0~25KHz 的数字信号进行功能验证,验证平台如图 7(b)所示。通过 SPI 接口读取芯片的输出,数字抽取滤波器工作正常,功耗为 5.3 mw。



(a)数字抽取滤波器版图 (b)数字芯片测试板

图 7 $\Sigma\Delta$ ADC 数字抽取滤波器版图

4 结束语

本文针对 MEMS 加速度计中的 $\Sigma\Delta$ 模数转换器,设计了一种低成本的 CIC 抽取滤波器。为兼顾面积和功耗,采用了折中的多级 2 抽取滤波器的设计方案。在此基础上,为更进一步节省面积,对数字抽取滤波器的子滤波器结构和运算单元进行了优化。首先采用折叠转置结构实现数字抽取滤波器,节约一半的乘法运算;其次对单级的子滤波器进行运算单元的优化设计,采用移位和加法替换原有的乘法器设计;最后利用滤波器系数的倍数关系,进行资源复用。通过上述优化,可以完全去除乘法器资源,降低寄存器和加法器的使用至原有设计的 59% 和 35%,资源优化率达到了 41% 和 65%。对优化后的电路进行了功能仿真,并采用 SMIC 0.18 μm CMOS 工艺实现了本设计的数字抽取滤波器,芯片实际测试结果表明: $\Sigma\Delta$ ADC 输出信号经过滤波和抽取后,可有效采样原始信号,电路占用面积仅为 1.13 mm * 0.36 mm,功耗为 5.3 mw,达到了原有的设计目的。

参考文献:

- [1] 高原. 高速高精度可配置 sigma-delta ADC 设计[D]. 哈尔滨: 哈尔滨工业大学, 2019: 6. DOI: 10.27061/d.cnki.ghgdu.2019.004585.
GAO Y. The design of configurable sigma-delta ADC with wide bandwidth and high resolution[D]. Harbin: Harbin Institute of Technology, 2019: 6. DOI: 10.27061/d.cnki.ghgdu.2019.004585.
- [2] 居水荣, 刘晨威, 华秀琴, 等. 一种采用开关电容分割结构的分辨率可配置 SAR ADC[J]. 半导体技术, 2019, 44(7): 500-505. DOI: 10.13290/j.cnki.bdtjs.2019.07.003.
JU S R, LIU C W, HUA X Q, et al. A resolution reconfigurable SAR ADC using switching capacitor splitting structure [J]. Semiconductor Technology, 2019, 44(7): 500-505. DOI: 10.13290/j.cnki.bdtjs.2019.07.003.
- [3] 易婷, 方杰, 洪志良. 14 位 1.5625 MHz 的 $\Sigma\Delta$ A/D 中的降采样低通滤波器的设计[J]. 固体电子学研究与进展, 2004, 24(4): 455-460. DOI: 10.3969/j.issn.1000-3819.2004.04.010.
YI T, FANG J, HONG Z L. Design of the decimation low pass filter used in a 14-b 1.5625 MHz sigma-delta A/D converter [J]. Research & Progress of SSE, 2004, 24(4): 455-460. DOI: 10.3969/j.issn.1000-

- 3819.2004.04.010.
- [4] CROCHIERE R E, RABINER L R. Interpolation and decimation of digital signals-A tutorial review[J]. Proceedings of the IEEE, 1981, 69(3): 300-331. DOI: 10.1109/PROC.1981.11969.
- [5] JOHN B, WAGNER F, KRAUTSCHNEIDER W H. Comparison of decimation filter architectures for a sigma-delta analog to digital converter[C]. IEEE Student Conference, IEEE, 2012.
- [6] 杨明明, 辛维, 李洪奇, 等. 一种用于 MEMS 数字检波器的 SINC 抽取滤波器优化设计与 FPGA 高效实现[J]. 地球物理学进展, 2014, 29(5): 2430-2436. DOI: 10.6038/pg20140566.
YANG M M, XIN W, LI H Q, et al. A high-performance design of SINC decimation filter for MEMS geophones[J]. Progress in Geophysics, 2014, 29(5): 2430-2436. DOI: 10.6038/pg20140566.
- [7] GAO Y H, JIA L H, ISOAHO J, et al. A comparison design of comb decimators for sigma-delta analog-to-digital converters[J]. Analog Integrated Circuits and Signal Processing, 2000, 22(1): 51-60. DOI: 10.1023/A:1008372010560.
- [8] HOGENAUER E B. An economical class of digital filters for decimation and interpolation[J]. IEEE Transactions on Acoustics, Speech, and Signal Processing, 1981, 29(2): 155-162. DOI: 10.1109/TASSP.1981.1163535.
- [9] ABOUSHADY H, DUMONTEIX Y, LOU? RAT M M, et al. Efficient polyphase decomposition of Comb decimation filters in $\Sigma\Delta$ analog-to-digital converters[J]. IEEE Transactions on Circuits and Systems II Analog and Digital Signal Processing, 2001, 11, 48(10):898-903
- [10] WINNER ALEXANDER, CRANOS WILLIAMS. Implementation of discrete time systems[A]. Digital Signal Processing[M]. Academic Press, 2017: 277-350.
- [11] 钟燕清, 赵丽, 王建国. 一种无线传感器网络接收机前端滤波器设计与实现[J]. 传感技术学报, 2009, 22(7): 1034-1039. DOI: 10.3969/j.issn.1004-1699.2009.07.024.
ZHONG Y Q, ZHAO L, WANG J M. Design and implementation of receiver front-end filter in wireless sensor networks[J]. Chinese Journal of Sensors and Actuators, 2009, 22(7): 1034-1039. DOI: 10.3969/j.issn.1004-1699.2009.07.024.
- [12] MARTINEZ-PEIRO M, BOEMO E I, WANHAMMAR L. Design of high-speed multiplierless filters using a nonrecursive signed common subexpression algorithm[J]. IEEE

Transactions on Circuits and Systems II: Analog and Digital Signal Processing, 2002, 49(3): 196-203. DOI: 10.1109/TCSII.2002.1013866.

[13] BULL D R, HORROCKS D H. Primitive operator digital filters[J]. IEE Proceedings G (Circuits, Devices and Systems), 1991, 138(3): 401-412. DOI: 10.1049/ip-g-2.1991.0066.

[14] DEMPSTER A G, MACLEOD M D. Constant integer multiplication using minimum adders[J]. IEE Proceedings - Circuits, Devices and Systems, 1994, 141(5): 407-413. DOI: 10.1049/ip-cds:19941191.

作者简介:

钟燕清 女,(1984-),博士研究生,高级工程师.研究方向为 MEMS 惯性导航系统及核心传感器.

田 易 女,(1984-),硕士研究生,助理研究员.研究方向为 MEMS 惯性导航系统及核心算法.

李继秀 女,(1985-),硕士研究生,助理研究员.研究方向为惯性导航系统及信号处理.

刘 谋 男,(1982-),硕士研究生,高级工程师.研究方向为传感器芯片设计及系统架构.

张兴成 男,(1982-),硕士研究生,助理研究员.研究方向为传感器芯片设计及系统架构.

孟 真(通讯作者) 男,(1983-),博士研究生,副研究员.研究方向为集成电路设计与微系统集成.
E-mail: mengzhen@ime.ac.cn

陈 华 男(1982-),硕士研究生,助理研究员.研究方向为 MEMS 惯性导航系统及核心算法.

阎跃鹏 男,(1962-),博士生,研究员.研究方向为微波射频集成电路与系统